

内通文書

F-02EB0595

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-22267

(43)公開日 平成8年(1996)1月23日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

G 09 G 3/36

G 02 F 1/133

505

審査請求 未請求 請求項の数3 FD (全6頁)

(21)出願番号 特願平6-174821

(22)出願日 平成6年(1994)7月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 大平 栄治

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72)発明者 石田 一博

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74)代理人 弁理士 徳若 光政

最終頁に続く

(54)【発明の名称】 液晶駆動回路と液晶表示装置

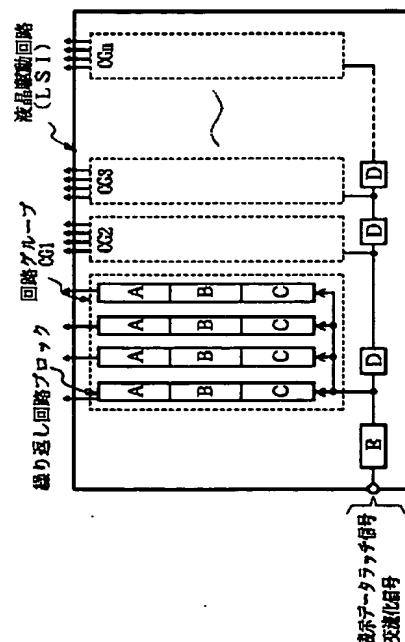
(57)【要約】

【目的】 簡単な構成により表示品質の向上と動作の安定化を実現した液晶駆動回路と液晶表示装置を提供する。

【構成】 クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従つてシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を備えた液晶駆動回路において、内部回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらすようとする。

【効果】 駆動電流が時間的に分散されるので、高精細化や大画面化においても、電源線に流れるピーク電流値を低減できるので電源ノイズによる表示品質の低下や誤動作を防止できる。

図1



【特許請求の範囲】

【請求項1】 クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を備え、かかる複数からなる回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらすようにしてなることを特徴とする液晶駆動回路。

【請求項2】 上記各回路は、1つの半導体集積回路装置により構成され、各ブロック毎の表示信号の出力タイミングの制御は、クロックパルス及びそれに同期して入力される画像データ及び表示タイミング信号が半導体集積回路の内部に形成された遅延回路により遅延させられることにより行われるものであることを特徴とする請求項1の液晶駆動回路。

【請求項3】 信号線電極と走査線電極とがマトリックス配置されてなる液晶表示パネルと、クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号を上記液晶表示パネルの信号線にパラレルに出力させる複数からなる回路を備え、かかる複数からなる回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらすようにしてなる信号駆動回路と、上記液晶表示パネルの走査線電極を表示タイミング信号に同期して順次に選択する走査線駆動回路とを備えてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、液晶駆動回路と液晶表示装置に関し、例えば単純マトリックス方式の液晶表示パネルを用いて電圧平均化法により駆動されるものに利用して有効な技術に関するものである。

【0002】

【従来の技術】 単純マトリックス方式の液晶表示パネルを線順次方式でかつ電圧平均化法で駆動する場合、走査線電極及び信号線電極に印加する選択／非選択電圧は、例えば特開昭54-2096号公報に記載されているよう、電圧平均化法で決められたような一定の電圧である。

【0003】

【発明が解決しようとする課題】 単純マトリックス方式の液晶表示パネルを駆動する信号線駆動回路では、シリアルに取り込まれた画像データを一斉にパラレルに出力させる。そして、交流化駆動のために、交流化信号が反転すると、液晶表示パネルの信号線電極に供給される表示出力信号が一斉に極性が反転させられる。高精細化や画面の大型化に伴い信号線数が増大するため、上記のように駆動回路において内部回路がほぼ一斉に動作する

と、表示出力信号に対応した駆動電流が電源線に集中して流れることとなり大きなノイズを発生させてしまう。液晶表示パネルにおいては、走査線電極と信号線電極の交点に容量に加えられる1H期間の実効電圧により液晶画素の点灯／非点灯を制御するため、上記のようなノイズの発生によって実効電圧が変化して点灯／非点灯の濃淡ムラを生じさせたり、実装基板において他の信号線に伝わり他の入力信号を歪ませて誤動作させてしまうという問題が生じる。

【0004】 この発明の目的は、簡単な構成により表示品質の向上と動作の安定化を実現した液晶駆動回路と液晶表示装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を備えた液晶駆動回路において、内部回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらすようとする。

【0006】

【作用】 上記した手段によれば、駆動電流が時間的に分散されるので、高精細化や大画面化においても、電源線に流れるピーク電流値を低減できるので表示品質の低下や誤動作を防止できる。

【0007】

【課題を解決するための手段】 本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、走査線電極と信号線電極とを備えた液晶表示パネルの信号線電極に対して、クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらして駆動する。

【0008】

【作用】 上記した手段によれば、駆動電流が時間的に分散されるので、高精細化や大画面化においても、実装基板を通して他の回路に伝えられるノイズが低減でき、表示品質の低下と誤動作を防止することができる。

【0009】

【実施例】 図1には、この発明に係る液晶駆動回路の一実施例の概略ブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によっ

て、単結晶シリコンのような1個の半導体基板上において形成される。

【0010】液晶表示パネルの1つの信号線（セグメント）に供給される表示出力信号を形成する単位回路は、クロックパルスに同期してシリアルに入力された画像データを取り込むラインデータラッチ回路Cと、かかるラッチ回路Cに取り込まれた画像データをレベルシフトするレベルシフト回路B及び上記信号線に供給される表示出力信号を形成するドライバAから構成される。

【0011】この実施例では、これらの1つの信号線に対応された各回路AないしCを繰り返し回路ブロックの単位回路として、図面が複雑になってしまうのを防ぐために、特に制限されないが、4つの回路をまとめて1つの回路グループCG1を構成するようにされる。以下、同様に4つからなる単位回路を1つの回路グループとしてCG2ないしCGnのn個の回路グループに分けるようとする。

【0012】そして、シリアルに入力される表示データラッチ信号と交流化信号及びクロックパルスは、入力保護回路Eを通して半導体集積回路装置の内部に取り込まれ、上記第1の回路グループCG1に供給される。次の回路グループCG2には、遅延回路Dを介した信号が供給される。以下、上記回路グループ毎に遅延回路Dを介してシリアル入力信号が供給される。これにより、第1の回路グループCG1には、上記のようなシリアル入力信号がそのまま供給され、第2の回路グループCG2には、上記遅延回路Dの遅延時間だけ遅延された信号が供給される。上記の入力保護回路Eの出力信号を基準にすると、第3の回路グループCG3には、2個分の遅延回路Dの遅延時間だけ遅れてシリアル入力信号が供給され、最終段の回路グループCGnには、n-1個分の遅延回路Dの遅延時間遅れてシリアル入力信号が供給される。

【0013】このため、シリアルに入力された画像データは、上記遅延回路Dの遅延時間に相当する時間だけずれて順次に各回路グループに取り込まれるとともに、パラレル出力動作を行う表示タイミングも同様に遅延せられるために、上記遅延回路Dの遅延時間だけずれて、第1の回路グループCG1、第2の回路グループCG2・...・第nの回路グループCGnのように表示出力信号が出力される。

【0014】これにより、表示駆動電流が上記のように4回路ずつが分散されて出力されるために、高精細化や大画面化により信号線の数が増大しても電源線に流れるピーク電流が分散されて流れることになる。これにより、電源線に流れるピーク電流を大幅に低減させることができる。

【0015】特に制限されないが、この実施例の液晶駆動回路では、80本ないし160本程度の表示出力信号を持つようにされる。このような場合、上記図1の実施

例のように4回路ずつに分割すると、20ないし40回路グループにもなってしまうために、1つの走査タイミング期間に表示出力が間に合わなくなってしまう虞れがある。つまり、表示データのシリアル取り込み信号の周期Tの1/2を上限にして最終段回路グループCGnに対する遅延時間を設定する必要がある。逆に、従来回路における電源ノイズのピーク部の時間幅や約20nsであるので、これと同じかそれより大きくなるように最終段回路グループCGnの総遅延時間が設定される必要がある。したがって、表示出力数と上記のような遅延時間の条件を考慮して回路グループの分割数を決定すればよい。

【0016】図2には、この発明に係る液晶駆動回路の他の一実施例の概略ブロック図が示されている。この実施例では、入力保護回路Eの出力側に、第1の回路グループCG1を除いた、他の回路グループCG2からCGnまでが、それぞれの遅延時間が異なるようにされた遅延回路D2ないしDnを介して供給される。個々の遅延回路D2～Dnの遅延時間が、順次に長くされるようになっているので、図1の実施例と同様に表示出力信号の出力タイミングが時間的に分散されて、前記同様に電源線に発生するノイズを緩和させることができる。

【0017】図3には、上記遅延回路の一実施例の回路図が示されている。(A)においては、インバータ回路N1～Nmを縦列接続して、その信号の伝播遅延時間を利用するものである。インバータ回路N1～Nmは、偶数個から構成されて入力信号と同相の遅延信号を形成するものである。インバータ回路N1～Nmは、特に制限されないが、Pチャンネル型MOSFETとNチャンネル型MOSFETからなるCMOS回路により構成される。

【0018】(B)においては、入力インバータ回路N1と、その出力信号を抵抗RとキャパシタCからなる時定数回路に供給し、その出力信号をインバータ回路N2により波形整形し、その後段に前記のような縦列形態のインバータ回路Nmを設けるようにするものである。上記時定数回路は、波形整形動作を行うインバータ回路N2の出力側にも設ける構成としてもよい。このような時定数回路を用いることにより、少ない段数のインバータ回路により大きな遅延時間を得るようになることができる。この実施例においても、インバータ回路N1～Nmは、CMOSインバータ回路により構成される。

【0019】上記抵抗Rは、Nチャンネル型MOSFETのゲートに定常的に電源電圧を供給し、あるいはPチャンネル型MOSFETのゲートに回路の接地電位を供給してそのオン抵抗値を利用するもの、MOSFETのゲート電極を構成するポリシリコン膜を利用したもの等種々の実施形態を探ることができる。キャパシタCは、MOS容量を用いるものや、相間絶縁膜を誘電体としてキャパシタを構成するもの等種々の実施形態を探ること

ができるものである。

【0020】図4には、この発明に係る液晶表示装置の一実施例の概略ブロック図が示されている。液晶表示パネル制御装置は、マイクロプロセッサCPU等から表示データを受けて、表示パネルの動作に必要なクロックパルスCL1、CL2、表示データDin、フレーム信号FLMを形成する。

【0021】この実施例では、1フレーム(1画面の表示期間)毎に交流化のための極性を切り換えると、比較的低い周波数により極性反転が行われて交流化に伴う画面のチラツキが問題になる。そこで、1フレーム中の複数走査線毎に極性を切り換えて、交流化周波数を数百Hzのように高くして交流化に伴うチラツキを防止する。このため、交流化信号発生回路が設けられ、走査線に選択タイミングに対応したクロックパルスCL1を計数して、複数走査線毎に交流化信号Mの極性を変化させる。

【0022】直列抵抗とオペアンプは、電圧発生回路であり、駆動電圧V1～V6を形成して、走査ドライバ及びデータドライバに供給する。液晶表示パネルは、走査線の数がX1ないし Xmのm本からなり、信号線がY1ないし Ynのn本から構成される。これにより、液晶表示パネルは、m×nのような画素から構成される。

【0023】走査線駆動回路は、クロックパルスCL1により、シフト動作を行うシフトレジスタと、その出力信号を受けて駆動電圧発生回路により形成された駆動電圧V1又はV5とV2又はV6を交流化信号により切り替えて対応する走査線電極に出力させて走査線電極を選択／非選択レベルにする。

【0024】シフトレジスタの出力信号が選択レベルにされると、駆動電圧V1を対応した走査線電極に出力する。このとき、他の走査線駆動電圧は、シフトレジスタの出力信号の非選択レベルに応じて駆動電圧V5にされる。シフトレジスタは、クロックパルスCL1に同期し、上記選択レベルを順次シフトするので、次のタイミングでは、次の走査線電極が代わって選択レベルにされる。このようにして、走査線電極が順次選択される。上記のように、1フレーム中の複数走査線毎に極性を切り換えるものでは、交流化信号Mにより、駆動電圧V1に代えてV2のような選択レベルに、V5に代えてV6のような非選択レベルにされる。

【0025】画素データDinは、クロックパルスCL2に同期してシリアル／パラレル変換回路SPCにシリアルに入力される。1走査線分に対応した信号線電極の画素信号は、1H期間(クロックパルスCL1の1周期内)に、クロックパルスCL2に同期してシリアルに入力される。このようにシリアルに取り込まれた1走査線分の画素信号は、パラレルに前記のようなラインデータラッチ回路Cに取り込まれる。

【0026】信号線駆動回路は、上記のようなシリアル／パラレル変換動作を行うラインデータラッチ回路C

と、レベルシフト回路Bに供給してレベルシフトを行う。すなわち、ラインデータラッチ回路Cは、5V系の回路により構成されており、5Vのようなハイレベルと、0Vのようなロウレベルを出力する。これに対して、ドライバAはスイッチMOSFETから構成されており、駆動電圧発生回路により形成された駆動電圧V1、V3、V4及びV2のような比較的大きな電圧範囲の電圧をレベル損失なく出力させるように上記ラッチ回路Cの出力信号をレベルシフト回路Bによりレベルシフトさせるものである。

【0027】液晶表示パネルは、n本のような多数の信号線電極を持つ。高精細化又は大画面化により、nの数は膨大となる。このため、前記図1又は図2に示された液晶駆動回路が複数個設けられる。つまり、実装基板上に複数個の信号線駆動用の半導体集積回路装置が搭載されることになる。この実施例の信号線駆動回路は、前記のように表示出力タイミングが順次にずれているので、各半導体集積回路装置において電源線に流れる駆動電流が分散される。それ故、実装基板の電源線においても同様に駆動電流のピークが分散される。この結果、実装基板上においても、信号線と電源線とのカップリングによるノイズの伝播が防止でき、表示品質の低下や誤動作を防止することができる。

【0028】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を備えた液晶駆動回路において、内部回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらすようすることにより、駆動電流が時間的に分散されるので、高精細化や大画面化においても電源線に流れるピーク電流値を低減できるので電源ノイズによる表示品質の低下や誤動作を防止することができるという効果が得られる。

【0029】(2) 上記各回路を1つの半導体集積回路装置により構成し、各ブロック毎の表示信号の出力タイミングの制御をクロックパルス及びそれに同期して入力される画像データ及び表示タイミング信号を内部に形成された遅延回路により遅延させることにより、入力信号は表示出力に無関係にそのまま供給することができ、従来の液晶駆動回路と入力インターフェイスを同じくできるという効果が得られる。

【0030】(3) 走査線電極と信号線電極とを備えた液晶表示パネルの信号線電極に対して、クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を複数ブロックに分

割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらして駆動することにより、駆動電流が時間的に分散されるので、高精細化や大画面化においても、実装基板を通して他の回路に伝えられるノイズが低減できるから表示品質の低下と誤動作を防止することができるという効果が得られる。

【0031】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、表示パネルは、必ずしも高精細化あるいは大画面化されたものでなくともよい。このように信号線の数が少ない場合には、電源装置の電源供給能力の小さな安価なものを用いたり、実装基板に形成される配線を細くしたものを使うことができる等の利点が生じる。

【0032】液晶表示パネルは、上記のような単純マトリックス構成のもの他、TFT（薄膜トランジスタ）を用いた、アクティブマトリックス構成のものであってもよい。すなわち、この発明は、シリアルに画像データを取り込んで、パラレルに表示信号を出力させる液晶駆動回路と液晶表示装置に広く利用できる。

【0033】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を備えた液晶駆動回路において、内部回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらすことにより、駆動電流が時間的に分散されるので、高精細化や大画面化においても電源線に流れるピーク電流値を低減できるので電源ノイズによる表示品質の

低下や誤動作を防止することができる。

【0034】上記各回路を1つの半導体集積回路装置により構成し、各ブロック毎の表示信号の出力タイミングの制御をクロックパルス及びそれに同期して入力される画像データ及び表示タイミング信号を内部に形成された遅延回路により遅延させることにより、入力信号は表示出力に無関係にそのまま供給することができ、従来の液晶駆動回路と入力インターフェイスを同じくできる。

【0035】走査線電極と信号線電極とを備えた液晶表示パネルの信号線電極に対して、クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる複数からなる回路を複数ブロックに分割して、各ブロック毎に上記表示出力信号の出力タイミングを時間的にずらして駆動することにより、駆動電流が時間的に分散されるので、高精細化や大画面化においても、実装基板を通して他の回路に伝えられるノイズが低減できるから表示品質の低下と誤動作を防止することができる。

【図面の簡単な説明】

【図1】この発明に係る液晶駆動回路の一実施例を示す概略ブロック図である。

【図2】この発明に係る液晶駆動回路の他の一実施例を示す概略ブロック図である。

【図3】上記遅延回路の一実施例を示す回路図である。

【図4】この発明に係る液晶表示装置の一実施例を示す概略ブロック図である。

【符号の説明】

A…ドライバ、B…レベルシフト回路、C…ラインデータラッチ回路、D、D₂～D_n…遅延回路、E…入力保護回路、CG₁～CG_n…回路グループ、N₁～N_m…インバータ回路、R…抵抗、C…キャパシタ、CPU…マイクロプロセッサ。

【図1】

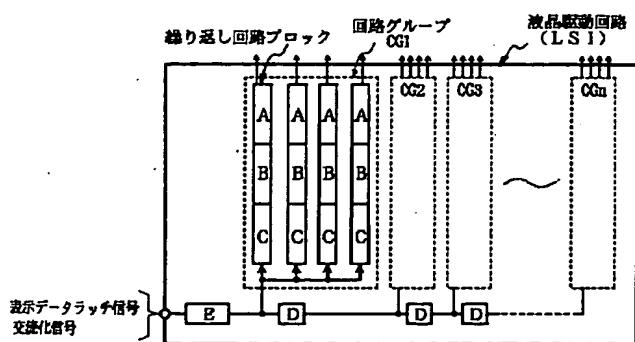


図1

【図3】

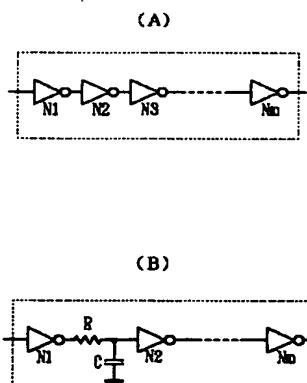
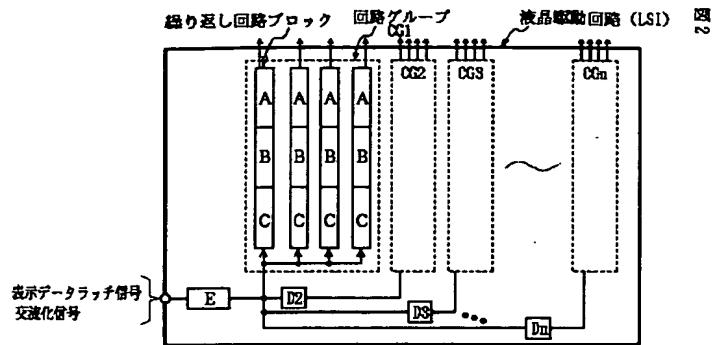
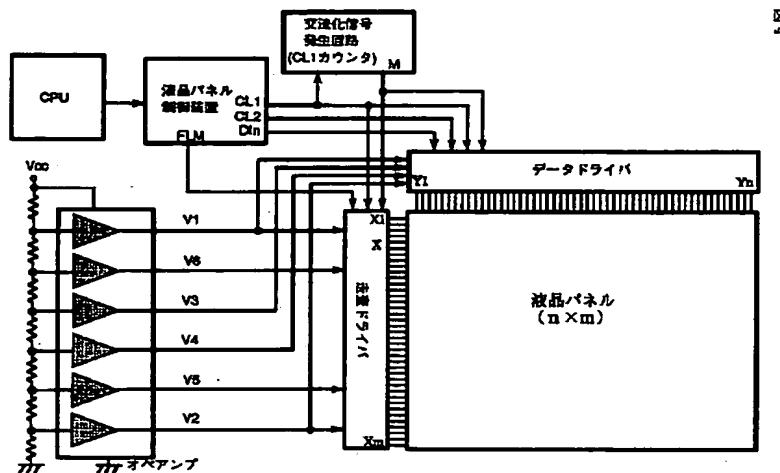


図3

【図2】



【図4】



フロントページの続き

(72) 発明者 輿 博文

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 黒川 一成

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 片柳 浩

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 桜井 登

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内